

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

© EPODOC / EPO

PN - JP10178458 A 19980630  
PD - 1998-06-30  
PR - JP19960353585 19961217  
OPD - 1996-12-17  
TI - DEMODULATION CIRCUIT  
IN - ENOMOTO KOUKI;URABE KENZO  
PA - KOKUSAI ELECTRIC CO LTD  
IC - H04L27/152 ; H03D1/22 ; H04B1/26 ; H04L7/00 ; H04L7/08

© WPI / DERWENT

TI - Demodulation circuit for digital wireless receiver - has error detector that adjusts value of control voltage such that measured frequency value and standard frequency value are equal

PR - JP19960353585 19961217

PN - JP10178458 A 19980630 DW199836 H04L27/152 007pp

PA - (KOKZ ) KOKUSAI DENKI KK

IC - H03D1/22 ; H04B1/26 ; H04L7/00 ; H04L7/08 ; H04L27/152

AB - J10178458 The circuit includes a voltage controlled oscillator (10) to which control voltage of an error detector (16) is applied. Based on the received control voltage to an oscillation signal is generated by the voltage controlled oscillator. A frequency synthesiser ( 11) outputs a local oscillation frequency signal corresponding to oscillation signal generated. A detector (12) detects the output signal using an antenna and generates a detection signal. A decision signal (13) generates an information signal regarding detection signal. A frame synchronization detector (14) detects the frame alignment components in the information signal and generates a synchronization detection signal.

- A counter (15) measures the frequency of oscillation signal based on the synchronization detection signal. The frequency output by counter is compared with a standard frequency. If the difference between standard value and counter output is zero, the control voltage supply to the voltage controlled oscillator is stopped. The control voltage is adjusted by the error detector when difference of measured count value and standard count value is not zero, such that zero difference is achieved.
- ADVANTAGE - Enables automatic correction of frequency offset. Removes distortion of received waveform.
- (Dwg.1/2)

OPD - 1996-12-17

AN - 1998-424501 [36]

© PAJ / JPO

PN - JP10178458 A 19980630

PD - 1998-06-30

AP - JP19960353585 19961217

IN - ENOMOTO KOUKI,URABE KENZO

PA - KOKUSAI ELECTRIC CO LTD

TI - DEMODULATION CIRCUIT

AB - PROBLEM TO BE SOLVED: To provide a demodulation circuit in which the eliminating effect of a frequency offset is prevented by the increase in the frequency offset resulting in increasing an offset component in a reception symbol wave thereby causing considerable distortion to a waveform of the reception symbol wave.  
- SOLUTION: A frame synchronization detection circuit 14 detects a frame synchronizing signal and provides a detection signal (d) to a counter circuit 15 by using a time given to one frame for the period, the counter circuit 15 counts the time by an oscillation signal P from a voltage controlled oscillator 10 to provide a count N to an error detection circuit 16. The error detection circuit 16 obtains a difference between a reference count stored in advance and a moving mean value of the count N for a plurality of number of times, provides the voltage corresponding to the difference to the voltage controlled oscillator 10 as a control voltage V so as to approach the frequency of an oscillation signal P to the frequency when no frequency offset is present.

I - H04L27/152 ;H03D1/22 ;H04B1/26 ;H04L7/00 ;H04L7/08

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-178458

(43) 公開日 平成10年(1998) 6月30日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 4 L 27/152

H 0 4 L 27/14

E

H 0 3 D 1/22

H 0 3 D 1/22

A

H 0 4 B 1/26

H 0 4 B 1/26

H

H 0 4 L 7/00

H 0 4 L 7/00

F

7/08

7/08

Z

審査請求 未請求 請求項の数3 F D (全 7 頁)

(21) 出願番号

特願平8-353585

(22) 出願日

平成8年(1996)12月17日

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 榎本 衡貴

東京都中野区東中野三丁目14番20号 国際  
電気株式会社内

(72) 発明者 占部 健三

東京都中野区東中野三丁目14番20号 国際  
電気株式会社内

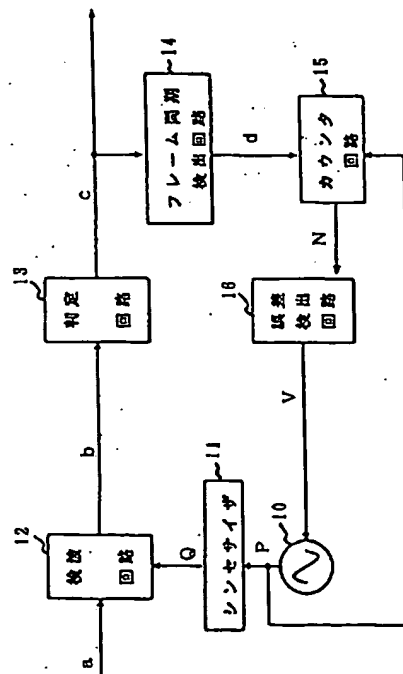
(74) 代理人 弁理士 飯田 凡雄

(54) 【発明の名称】 復調回路

(57) 【要約】

【課題】 周波数オフセットが大きくなって受信シンボル波中のオフセット成分が大きくなり、そのため受信シンボル波の波形が大幅に歪んで、周波数オフセットの影響除去機能が損なわれてしまうといったことがない復調回路を提供する。

【解決手段】 フレーム同期検出回路14はフレーム同期信号を検出し、1のフレームに与えられる時間を周期として検出信号dをカウンタ回路15に与え、カウンタ回路15は上記時間を電圧制御発振器10からの発振信号Pで計数して計数値Nを誤差検出回路16に与える。誤差検出回路16は、予め記憶している基準計数値と、計数値Nの複数回分の移動平均との差を求め、この差に対応した電圧を制御電圧Vとして電圧制御発振器10に与え、発振信号Pの周波数を周波数オフセットがないときのものに近づけていく。



## 【特許請求の範囲】

【請求項1】 フレーム構成の送信信号が送信側のクロック信号に同期して送信され、かつ搬送波周波数偏移が後述の局部発振周波数信号の周波数偏移と比較して十分に少ないデジタル無線通信システムの受信機に用いられる復調回路において、  
後述の誤差検出回路からの出力を制御電圧として入力し、この制御電圧に対応する周波数の発振信号を送出する電圧制御発振器と、  
前記電圧制御発振器からの発振信号を基準信号として入力し局部発振周波数信号を出力する周波数シンセサイザと、  
受信アンテナから送られてくる受信信号を上記周波数シンセサイザからの局部発振周波数信号を用いて検波して検波信号を送出する検波回路と、  
上記検波回路からの検波信号を入力して、これを判定して受信情報信号を得て、この受信情報信号を送出する判定回路と、  
上記判定回路からの受信情報信号を入力し、この受信情報信号内のフレーム同期信号を検出して、その検出のたびに検出信号を送出するフレーム同期検出回路と、  
前記電圧制御発振器からの発振信号を入力して、これを計数すると共に、上記フレーム同期検出回路から検出信号が送られてくるたびに、その時点の計数値を送出した上で、計数値を0に戻して上記計数動作を継続するカウンタ回路と、  
連続する2つの上記フレーム同期信号間を、周波数オフセットが発生していないときの前記電圧制御発振器の発振信号で、計数した計数値を基準計数値として予め記憶し、この基準計数値と上記カウンタ回路から送出されてきた計数値との差を求め、この差が0の場合は、その時点に前記電圧制御発振器に与えている制御電圧を保持し、他方、この差が0でない場合は、上記制御電圧を、上記の差を打消す方向に働くものに変える誤差検出回路とを備えることを特徴とする復調回路。

【請求項2】 フレーム構成の送信信号が送信側のクロック信号に同期して送信され、かつ搬送波周波数偏移が後述の局部発振周波数信号の周波数偏移と比較して十分に少ないデジタル無線通信システムの受信機に用いられる復調回路において、  
後述の誤差検出回路からの出力を制御電圧として入力し、この制御電圧に対応する周波数の発振信号を送出する電圧制御発振器と、  
前記電圧制御発振器からの発振信号を基準信号として入力し局部発振周波数信号を出力する周波数シンセサイザと、  
受信アンテナから送られてくる受信信号を上記周波数シンセサイザからの局部発振周波数信号を用いて検波して検波信号を送出する検波回路と、  
上記検波回路からの検波信号を入力して、これを判定して受信情報信号を得て、この受信情報信号を送出する判定回路と、  
上記判定回路からの受信情報信号を入力し、この受信情報信号内のフレーム同期信号を検出して、その検出のたびに検出信号を送出するフレーム同期検出回路と、  
前記電圧制御発振器からの発振信号を入力して、これを計数すると共に、上記フレーム同期検出回路から検出信号が送られてくるたびに、その時点の計数値を送出した上で、計数値を0に戻して上記計数動作を継続するカウンタ回路と、  
連続する2つの上記フレーム同期信号間を、周波数オフセットが発生していないときの前記電圧制御発振器の発振信号で、計数した計数値を予め基準計数値として記憶すると共に、上記カウンタ回路から、順次、送られてき

て受信情報信号を得て、この受信情報信号を送出する判定回路と、

上記判定回路からの受信情報信号を入力し、この受信情報信号内のフレーム同期信号を検出して、その検出のたびに検出信号を送出するフレーム同期検出回路と、

前記電圧制御発振器からの発振信号を入力して、これを計数すると共に、上記フレーム同期検出回路から検出信号が送られてくるたびに、その時点の計数値を送出した上で、計数値を0に戻して上記計数動作を継続するカウンタ回路と、

連続する2つの上記フレーム同期信号間を、周波数オフセットが発生していないときの前記電圧制御発振器の発振信号で、計数した計数値を基準計数値として予め記憶すると共に、上記カウンタ回路から、順次、送られてきた過去複数回分の計数値の移動平均を算出して、その上で上記基準計数値と上記移動平均との差を求め、この差が0の場合は、その時点に前記電圧制御発振器に与えている制御電圧を保持し、他方、この差が0でない場合は、上記制御電圧を、上記の差を打消す方向に働くものに変える誤差検出回路とを備えることを特徴とする復調回路。

【請求項3】 フレーム構成の送信信号が送信側のクロック信号に同期して送信され、かつ搬送波周波数偏移が後述の局部発振周波数信号の周波数偏移と比較して十分に少ないデジタル無線通信システムの受信機に用いられる復調回路において、

後述の誤差検出回路からの出力を制御電圧として入力し、この制御電圧に対応する周波数の発振信号を送出する電圧制御発振器と、

前記電圧制御発振器からの発振信号を基準信号として入力し局部発振周波数信号を出力する周波数シンセサイザと、

受信アンテナから送られてくる受信信号を上記周波数シンセサイザからの局部発振周波数信号を用いて検波して検波信号を送出する検波回路と、

上記検波回路からの検波信号を入力して、これを判定して受信情報信号を得て、この受信情報信号を送出する判定回路と、

上記判定回路からの受信情報信号を入力し、この受信情報信号内のフレーム同期信号を検出して、その検出のたびに検出信号を送出するフレーム同期検出回路と、

前記電圧制御発振器からの発振信号を入力して、これを計数すると共に、上記フレーム同期検出回路から検出信号が送られてくるたびに、その時点の計数値を送出した上で、計数値を0に戻して上記計数動作を継続するカウンタ回路と、

連続する2つの上記フレーム同期信号間を、周波数オフセットが発生していないときの前記電圧制御発振器の発振信号で、計数した計数値を予め基準計数値として記憶すると共に、上記カウンタ回路から、順次、送られてき

た過去複数回分の計数値に基づいてこの計数値の有意且つ平均的な値を得て、その上で上記基準計数値と上記有意且つ平均的な値との差を求め、この差が0の場合は、その時点に前記電圧制御発振器に与えている制御電圧を保持し、他方、この差が0でない場合は、上記制御電圧を、上記の差を打消す方向に働くものに変える誤差検出回路とを備えることを特徴とする復調回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はフレーム構成の送信信号が送信側のクロック信号に同期して送信され、かつ搬送波周波数偏移が後述の局部発振周波数信号の周波数偏移と比較して十分に少ないデジタル無線通信システムの受信機に用いられる復調回路に係り、自動的に周波数オフセット（搬送波の周波数からの検波用局部発振周波数信号の周波数のずれ）を補正する自動周波数制御機能を備えるものに関する。

【0002】

【従来の技術】デジタル無線通信システムの受信機で従来用いられてきた復調回路でかつ周波数オフセットによる受信信号波形の劣化を自動的に補正する機能を備えているものの一例の回路構成を図2に示す。同図において、局部発振回路1は検波用の局部発振周波数信号を送出する回路であり、検波回路2はアンテナ側から送られてくる受信信号aを入力し、これを上記局部発振回路1からの局部発振周波数信号を用いて検波して検波信号bを得て、この検波信号bを送出する。そして検波信号bは、加算器3において後述の平均化誤差eを差し引かれ、加算器3から補正検波信号fとして送出される。DPLL（Digital Phase-Locked Loop）4は、上記補正検波信号fを入力し、受信シンボル波に位相同期した受信シンボルタイミング信号RTを得て、この受信シンボルタイミング信号RTを送出する。また、判定回路5は、受信シンボルタイミング信号RTにタイミングを合わせて補正検波信号fを入力して、あらかじめ設定されているしきい値に基づいて、送られてきたシンボルの判定を行なって判定結果である受信情報信号gを送出する。加算器6は判定回路5に入力する補正検波信号fと判定回路5の出力である受信情報信号gを入力し両者の差（周波数オフセットに起因する誤差）すなわち誤差hを出力する。そして平均化回路7は、上記受信シンボルタイミング信号RTにタイミングを合わせて誤差hを取り込み、この誤差hの過去複数回分（例えば過去20回分）の移動平均を得て、この移動平均に対応する電圧の前記平均化誤差eを得てこれを前記加算器3に送出する。そして加算器3は前述のように検波信号bより平均化誤差eを差し引いて補正検波信号fを得て判定回路5に送出するので、補正検波信号fと受信情報信号gの差（すなわち誤差h）は小さいものになっていく。すなわち判定回路5が送信されてきたシン

ボルを正しく判断する限りにおいて、最終的には判定回路5の入出力差がなくなる方向に自動的に制御が進行し、周波数オフセットの影響を自動的に除く補正機能を持つことになる。

【0003】

【発明が解決しようとする課題】しかし、自動的に周波数オフセットの影響を除く機能を備える上記の如き従来の復調回路は、上記のように周波数オフセットの存在そのものは放置し、受信シンボル波中のオフセット成分を検出し、その検出したオフセット成分を受信シンボル波形から除くというものである。従って、周波数オフセットが大きくなって、受信シンボル波中のオフセット成分が大きくなり、受信シンボル波の波形が大幅に歪んでしまうと、受信シンボル波中のオフセット成分を正確に検出できず（主に判定回路5の判定が正確に行なえなくなること）に起因する）、周波数オフセットの影響除去機能が損なわれてしまう。

【0004】本発明は、上述のような事情に鑑みてなされたものであり、周波数オフセットが大きくなって、受信シンボル波中のオフセット成分が大きくなり、受信シンボル波の波形が大幅に歪んで、受信シンボル波中のオフセット成分を正確に検出できず、周波数オフセットの影響除去機能が損なわれてしまうといったことがない復調回路の提供を目的とする。

【0005】

【課題を解決するための手段】請求項1の発明では、フレーム構成の送信信号が送信側のクロック信号に同期して送信され、かつ搬送波周波数偏移が後述の局部発振周波数信号の周波数偏移と比較して十分に少ないデジタル無線通信システムの受信機に用いられる復調回路を以下のように構成した。即ち、後述の誤差検出回路からの出力を制御電圧として入力し、この制御電圧に対応する周波数の発振信号を送出する電圧制御発振器と、前記電圧制御発振器からの発振信号を基準信号として入力し局部発振周波数信号を出力する周波数シンセサイザと、受信アンテナから送られてくる受信信号を上記周波数シンセサイザからの局部発振周波数信号を用いて検波して検波信号を送出する検波回路と、上記検波回路からの検波信号を入力して、これを判定して受信情報信号を得て、この受信情報信号を送出する判定回路と、上記判定回路からの受信情報信号を入力し、この受信情報信号内のフレーム同期信号を検出して、その検出のたびに検出信号を送出するフレーム同期検出回路と、前記電圧制御発振器からの発振信号を入力して、これを計数すると共に、上記フレーム同期検出回路から検出信号が送られてくるたびに、その時点の計数値を送出した上で、計数値を0に戻して上記計数動作を継続するカウンタ回路と、連続する2つの上記フレーム同期信号間（一つのフレームに与えられる時間）を、周波数オフセットが発生していないときの前記電圧制御発振器の発振信号で、計数した計

数値を基準計数値として予め記憶し、この基準計数値と上記カウンタ回路から送出されてきた計数値との差を求め、この差が0の場合は、その時点に前記電圧制御発振器に与えている制御電圧を保持し、他方、この差が0でない場合は、上記制御電圧を、上記の差を打消す方向に働くものに変える誤差検出回路とを備える構成とした。

【0006】請求項2の発明では、フレーム構成の送信信号が送信側のクロック信号に同期して送信され、かつ搬送波周波数偏移が後述の局部発振周波数信号の周波数偏移と比較して十分に少ないデジタル無線通信システムの受信機に用いられる復調回路を以下のように構成した。即ち、後述の誤差検出回路からの出力を制御電圧として入力し、この制御電圧に対応する周波数の発振信号を送出する電圧制御発振器と、前記電圧制御発振器からの発振信号を基準信号として入力し局部発振周波数信号を出力する周波数シンセサイザと、受信アンテナから送られてくる受信信号を上記周波数シンセサイザからの局部発振周波数信号を用いて検波して検波信号を送出する検波回路と、上記検波回路からの検波信号を入力して、これを判定して受信情報信号を得て、この受信情報信号を送出する判定回路と、上記判定回路からの受信情報信号を入力し、この受信情報信号内のフレーム同期信号を検出して、その検出のたびに検出信号を送出するフレーム同期検出回路と、前記電圧制御発振器からの発振信号を入力して、これを計数すると共に、上記フレーム同期検出回路から検出信号が送られてくるたびに、その時点の計数値を送出した上で、計数値を0に戻して上記計数動作を継続するカウンタ回路と、連続する2つの上記フレーム同期信号間（一つのフレームに与えられる時間）を、周波数オフセットが発生していないときの前記電圧制御発振器の発振信号で、計数した計数値を基準計数値として予め記憶すると共に、上記カウンタ回路から、順次、送られてきた過去複数回分の計数値の移動平均を算出して、その上で上記基準計数値と上記移動平均との差を求め、この差が0の場合は、その時点に前記電圧制御発振器に与えている制御電圧を保持し、他方、この差が0でない場合は、上記制御電圧を、上記の差を打消す方向に働くものに変える誤差検出回路とを備える構成とした。

【0007】請求項3の発明では、フレーム構成の送信信号が送信側のクロック信号に同期して送信され、かつ搬送波周波数偏移が後述の局部発振周波数信号の周波数偏移と比較して十分に少ないデジタル無線通信システムの受信機に用いられる復調回路を以下のように構成した。即ち、後述の誤差検出回路からの出力を制御電圧として入力し、この制御電圧に対応する周波数の発振信号を送出する電圧制御発振器と、前記電圧制御発振器からの発振信号を基準信号として入力し局部発振周波数信号を出力する周波数シンセサイザと、受信アンテナから送られてくる受信信号を上記周波数シンセサイザからの局

部発振周波数信号を用いて検波して検波信号を送出する検波回路と、上記検波回路からの検波信号を入力して、これを判定して受信情報信号を得て、これを送出する判定回路と、上記判定回路からの受信情報信号を入力し、この受信情報信号内のフレーム同期信号を検出して、その検出のたびに検出信号を送出するフレーム同期検出回路と、前記電圧制御発振器からの発振信号を入力して、これを計数すると共に、上記フレーム同期検出回路から検出信号が送られてくるたびに、その時点の計数値を送出した上で、計数値を0に戻して上記計数動作を継続するカウンタ回路と、連続する2つの上記フレーム同期信号間（一つのフレームに与えられる時間）を、周波数オフセットが発生していないときの前記電圧制御発振器の発振信号で、計数した計数値を予め基準計数値として記憶すると共に、上記カウンタ回路から、順次、送られてきた過去複数回分の計数値に基づいてこの計数値の有意且つ平均的な値（例えば、基準計数値の5パーセント増以上又は減以下の計数値が所定回数だけ続いたときにおける最も頻度の高い計数値）を得て、その上で上記基準計数値と上記有意且つ平均的な値との差を求め、この差が0の場合は、その時点に前記電圧制御発振器に与えている制御電圧を保持し、他方、この差が0でない場合は、上記制御電圧を、上記の差を打消す方向に働くものに変える誤差検出回路とを備える構成とした。

#### 【0008】

【発明の実施の形態】以下、次に示す本願発明の実施の一形態により、本願発明を具体的に説明する。図1は上記実施の一形態の回路構成を示すものである。電圧制御発振器10は、後述の誤差検出回路16からの制御電圧Vを受けて、この制御電圧Vに対応する周波数の発振信号Pを送出する回路である。周波数シンセサイザ11は上記発振信号Pを基準信号とし、この発振信号Pの周波数を何倍かした周波数の局部発振周波数信号Qを送出する回路である。検波回路12は、受信アンテナ側から送られてくる受信信号aを上記局部発振周波数信号Qで検波して検波信号bを得て、この検波信号bを送出する回路部である。なお、上記受信信号aは、送信する各シンボルを、高い精度のクロック信号発生器（基地局の基準発振器）によって得られたクロック信号に同期させ、かつフレーム構成で送信されてくる基地局からの送信信号を受信したものであり、当該受信信号aに係る搬送波の周波数偏移は上記局部発振周波数信号Qの周波数偏移と比較して十分に小さいものとなっている。判定回路13は、上記検波信号bを入力し、あらかじめ設定されているしきい値を用いた処理等に基づき、順次送られてくる各シンボルのシンボル値を判定して、判定結果である受信情報信号cを送出する回路である。

【0009】フレーム同期検出回路14は上記受信情報信号cを取り込み、この受信情報信号cからフレーム同期信号を検出し、その検出のたびに検出信号dを送出す

る回路である。カウンタ回路15は、前記電圧制御発振器10からの発振信号Pを入力して、これを計数するとともに、上記フレーム同期検出回路14からの検出信号dを受けて、その都度、その時点の計数値を計数値Nとして送出し、その上で上記計数値を0に戻して、再度、カウントアップしていく回路である(即ち、このカウンタ回路15は、検出信号dが送出されてくる間隔を上記発振信号Pで計数し、その計数結果である計数値Nを送出していく回路である)。誤差検出回路16は、連続する2つの上記フレーム同期信号間すなわち一つのフレームに与えられている時間(これは上記フレーム同期検出回路14から検出信号dが送出される時間間隔に等しい)を、周波数オフセットが発生していないときの前記電圧制御発振器の発振信号で、計数した計数値を基準計数値として予め記憶すると共に、上記カウンタ回路15から、順次、送られてきた過去複数回分の計数値Nの移動平均を算出して、その上で上記基準計数値と上記移動平均との差を求め、この差に対応する電圧(上記差が0の場合は、その時点に送出している電圧、他方、上記差が0でない場合は、この差を打消す方向に働く電圧)を得て、この電圧を制御電圧Vとして前記電圧制御発振器10に送出する回路部である。

【0010】次に、以上のごとくに構成された上記実施の形態の動作について説明する。たとえば、今、ある程度の周波数オフセットが発生した場合(即ち、局部発振周波数信号Qの周波数が搬送波の周波数から若干ずれた場合)を考える。この時、検波回路12は、受信信号aを、上記局部発振周波数信号Qにより検波し、オフセット成分を含む検波信号bを得て、これを判定回路13に送出する。判定回路13は、送られてくる検波信号bを入力し、あらかじめ設定されているしきい値を用いた処理等に基づき、順次送られてくる各シンボルのシンボル値を判定して、判定結果である受信情報信号cを送出する。また、フレーム同期検出回路14は上記受信情報信号cを取り込み、この受信情報信号cからフレーム同期信号を検出し、検出するたびに検出信号dを送出する。そしてこのフレーム同期検出回路14から検出信号dが送出される間隔時間すなわち周期は1つのフレームに与えられている時間であり、送信側の高い精度のクロック信号を基準として構成されているので高い精度で一定の時間となっている(以下、この一定の時間をフレーム時間という)。

【0011】そしてカウンタ回路15は、上記フレーム時間を電圧制御発振器10からの発振信号Pにより計数し、その計数結果である計数値Nを、検出信号dが送られてくるたびに誤差検出回路16に与える。誤差検出回路16は送られてきた上記計数値Nの複数回分の平均すなわち複数の計数値Nの移動平均を得て、この移動平均と、前記基準計数値(上記フレーム時間を周波数オフセットが発生していないときの前記電圧制御発振器10の

発振信号Pで計数した計数値)との差を求め、この差が0の場合は、その時点に電圧制御発振器10に与えている制御電圧Vをそのままの値に保持し、他方この差が0でない場合は、上記制御電圧Vを、上記の差を打消す方向に働く値のものに変えて送出する。そして電圧制御発振器10は、上記のような制御電圧Vを与えられて制御され、発振信号Pの周波数を、周波数オフセットが発生していないときのものに近いものに更新していく。この発振信号Pの周波数の更新により周波数シンセサイザ11からの局部発振周波数信号Qの周波数は搬送波周波数により近いものとなる。すなわち電圧制御発振器10からのその時点の発振信号Pの周波数が、周波数オフセットが発生していないときの発振信号Pの周波数に近づき、両者の差が0になるように制御が自動的に進行し、これにより周波数シンセサイザ11からの局部発振周波数信号Qの周波数は搬送波周波数に近づき、周波数オフセットは無くなることになる。

【0012】このように本実施の形態では、周波数オフセットそのものを無くすことにより、検波回路12からの検波信号bよりオフセット成分を除いている。従って、周波数オフセットが大きくなって、受信シンボル波中のオフセット成分が大きくなり、受信シンボル波の波形が大幅に歪んで、受信シンボル波中のオフセット成分を正確に検出できず、周波数オフセットの影響除去機能が損なわれてしまうといった事態には、そもそも陥らないのである。

#### 【0013】

【発明の効果】以上詳述したように、本発明によれば、周波数オフセットが大きくなって、受信シンボル波中のオフセット成分が大きくなり、そのため受信シンボル波の波形が大幅に歪んで、受信シンボル波中のオフセット成分を正確に検出できず、周波数オフセットの影響除去機能が損なわれてしまうといったことがない復調回路の提供を可能とする。

#### 【図面の簡単な説明】

【図1】本願発明の実施の一形態の回路構成を示すものである。

【図2】従来例を示す図である。

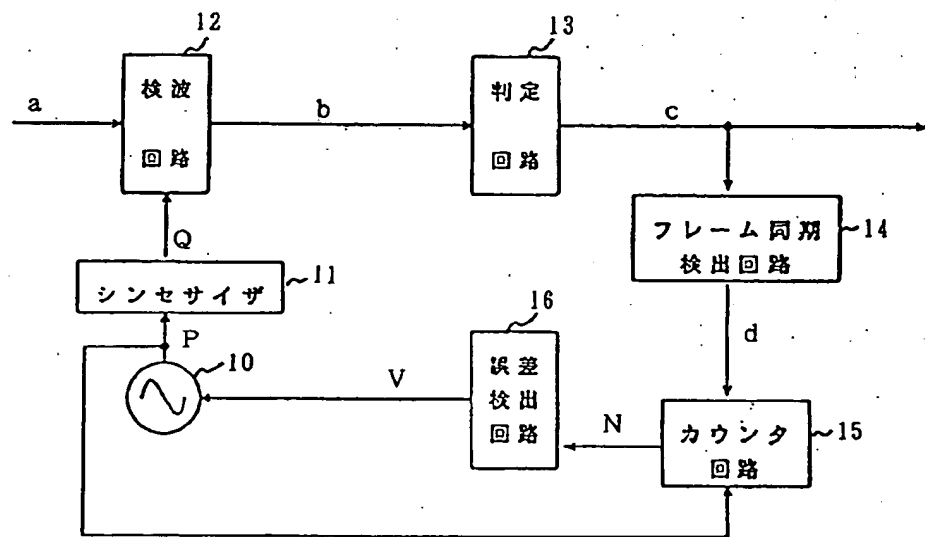
#### 【符号の説明】

- 1 局部発振回路
- 2 検波回路
- 3 加算器
- 4 DPLL
- 5 判定回路
- 6 加算器
- 7 平均化回路
- a 受信信号
- b 検波信号
- f 補正検波信号
- g 受信情報信号



- |               |                  |
|---------------|------------------|
| h 誤差          | 16 誤差検出回路        |
| e 平均化誤差       | c 受信情報信号         |
| 1.0 電圧制御発振器   | d 検出信号           |
| 11 周波数シンセサイザ  | N 計数值            |
| 12 検波回路       | V 制御電圧           |
| 13 判定回路       | P 発振信号           |
| 14 フレーム同期検出回路 | Q 局部発振周波数信号      |
| 15 カウンタ回路     | RT 受信シンボルタイミング信号 |

【図1】



〔図2〕

